

日本国特許庁
PATENT OFFICE
JAPANESE GOVERNMENT

T. Toi
February 16, 2000
457908
1 of 1

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日
Date of Application:

1999年 2月17日

出願番号
Application Number:

平成11年特許願第038970号

出願人
Applicant(s):

日本電気株式会社

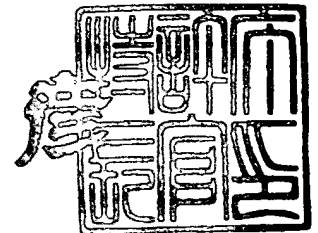
JPO
09/505429
02/16/00

CERTIFIED COPY OF
PRIORITY DOCUMENT

1999年10月22日

特許庁長官
Commissioner,
Patent Office

近藤 隆



出証番号 出証特平11-307202

【書類名】 特許願

【整理番号】 34001888

【提出日】 平成11年 2月17日

【あて先】 特許庁長官殿

【国際特許分類】 H03K 19/173

【発明者】

 【住所又は居所】 東京都港区芝五丁目 7 番 1 号 日本電気株式会社内

 【氏名】 戸井 崇雄

【特許出願人】

 【識別番号】 000004237

 【氏名又は名称】 日本電気株式会社

 【代表者】 金子 尚志

【代理人】

 【識別番号】 100084250

 【弁理士】

 【氏名又は名称】 丸山 隆夫

 【電話番号】 03-3590-8902

【手数料の表示】

 【予納台帳番号】 007250

 【納付金額】 21,000円

【提出物件の目録】

 【物件名】 明細書 1

 【物件名】 図面 1

 【物件名】 要約書 1

 【包括委任状番号】 9303564

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 画像処理装置

【特許請求の範囲】

【請求項 1】 動作中に動作を規定する内部論理記述を変更できるフィールドプログラマブルゲートアレイを備えた画像処理装置において、

前記フィールドプログラマブルゲートアレイに第 1 の内部論理記述を書き込んだ状態で有効画素期間のデジタル画像処理を行い、前記有効画素期間以外の無効画素期間において前記フィールドプログラマブルゲートアレイの前記第 1 の内部論理記述を第 2 の内部論理記述に書き換えた状態でデジタル制御処理を行った後に、再び前記フィールドプログラマブルゲートアレイの前記第 2 の内部論理記述を前記第 1 の内部論理記述に書き変えた状態でデジタル画像処理を行うことを特徴とする画像処理装置。

【請求項 2】 請求項 1 に記載の画像処理装置において、

撮像素子を備え、該撮像素子により撮像した画像の色信号処理を前記有効画素期間に行い、前記無効画素期間において前記色信号処理に関わる前記デジタル制御処理を行うことを特徴とする画像処理装置。

【請求項 3】 請求項 1 に記載の画像処理装置において、

前記無効画素期間とは、垂直ブランキング期間であることを特徴とする画像処理装置。

【請求項 4】 請求項 1 に記載の画像処理装置において、

前記無効画素期間とは、水平ブランキング期間であることを特徴とする画像処理装置。

【請求項 5】 請求項 1 に記載の画像処理装置において、

前記有効画素期間において画像の圧縮処理を行い、前記無効画素期間において前記画像の圧縮処理に関わるデジタル制御処理を行うことを特徴とする画像処理装置。

【請求項 6】 請求項 1 に記載の画像処理装置において、

前記デジタル制御処理とは、符号量制御処理であることを特徴とする画像処理装置。

【請求項 7】 請求項 2 に記載の画像処理装置において、
前記無効画素期間とは、前記撮像素子の光学的黒画素の期間であることを特徴とする画像処理装置。

【請求項 8】 請求項 2 に記載の画像処理装置において、
前記デジタル制御処理とは、自動白バランス制御処理であることを特徴とする画像処理装置。

【請求項 9】 請求項 2 に記載の画像処理装置において、
前記デジタル制御処理とは、自動焦点制御処理であることを特徴とする画像処理装置。

【請求項 10】 請求項 2 に記載の画像処理装置において、
前記デジタル制御処理とは、自動明度制御処理であることを特徴とする画像処理装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、画像データを処理する画像処理装置に関する。

【0002】

【従来の技術】

従来のデジタルスチルカメラやビデオカメラでは、撮像素子からの出力信号をデジタル変換した後に、汎用 CPU やワイヤードロジック処理装置を用いて色分離処理や画像圧縮処理などの画像処理を行っている。多くのデジタルスチルカメラでは、画像の処理方式を容易に変更できるように汎用 CPU を用いてデジタル画像処理を行っている。一方のビデオカメラでは高速な動画像処理装置が必要になる。ビデオカメラにおいては、動画像処理を行うためには汎用 CPU では処理能力が不足するケースが多いため、専用のワイヤードロジック処理装置を用いて処理を行うものも多い。また、これら汎用 CPU とワイヤードロジック処理装置を組み合わせた画像処理装置が文献（岡田他：“DSCにおけるリアルタイム信号処理システムの開発”，1998年映像情報メディア学会年次大会講演予稿集 26-2，Jul，1998）に開示されている。

【0003】

【発明が解決しようとする課題】

しかし、従来の画像処理装置においては、次のような解決すべきいくつかの問題がある。汎用のCPUで画像信号を処理するデジタルスチルカメラでは、シャッターを押してから処理が終了するまでに銀塩カメラに比べて長い時間を要するという問題がある。これを解決するため、従来の画像処理装置において、フレームメモリを複数搭載してシャッター時間を短くするものもあるが、メモリ使用量が増大するという別の問題が発生する。

【0004】

また、従来の画像処理装置においては、CPUの動作周波数を上げて処理が高速になり処理時間が短縮されても、より処理の並列性が高い専用ワイヤードロジック処理装置に比べて画素当たりの消費電力が大きいという課題が残る。その理由は、汎用CPUでは命令に従って処理を進めることができるという汎用性が与えられている代わりに、演算回路を同時に並列に動かすことが困難であることから、ワイヤードロジック処理装置に比べてエネルギー効率が悪くなってしまうためである。例えば汎用CPUでは、基本的に1クロック当たり用意された演算回路数以上の演算はできないが、ワイヤードロジック処理装置ならばパイプライン処理することで何命令でも同時実行することができる。

【0005】

一方ビデオカメラでは、動画像処理の専用ワイヤードロジック装置の設計は、汎用CPUのプログラム開発期間よりも長くなることが問題である。その理由は、専用ワイヤードロジック処理装置では設計や製造に要する期間は、汎用CPUのプログラム開発のコンパイルやシミュレーション期間に比べて長いためである。また、ビデオカメラでは、動作を停止できるデバッグ環境が整っている汎用CPUに比べて、専用ワイヤードロジック処理装置では動作を停止させることが困難であるため処理上の問題を発見することが難しいという問題がある。

【0006】

本発明の目的は、回路規模が小さく、かつ、消費電力が少ない画像処理装置を提供することにある。

【0007】

【課題を解決するための手段】

前記課題を解決するために、請求項1記載の発明は、動作中に動作を規定する内部論理記述を変更できるフィールドプログラマブルゲートアレイを備えた画像処理装置において、フィールドプログラマブルゲートアレイに第1の内部論理記述を書き込んだ状態で有効画素期間のデジタル画像処理を行い、有効画素期間以外の無効画素期間においてフィールドプログラマブルゲートアレイの第1の内部論理記述を第2の内部論理記述に書き換えた状態でデジタル制御処理を行った後に、再びフィールドプログラマブルゲートアレイの第2の内部論理記述を第1の内部論理記述に書き変えた状態でデジタル画像処理を行うことを特徴とする。

【0008】

請求項2記載の発明は、請求項1記載の発明において、撮像素子を備え、撮像素子により撮像した画像の色信号処理を有効画素期間に行い、無効画素期間において色信号処理に関わるデジタル制御処理を行うことを特徴とする。

【0009】

請求項3記載の発明は、請求項1記載の発明において、無効画素期間とは、垂直ブランキング期間であることを特徴とする。

【0010】

請求項4記載の発明は、請求項1記載の発明において、無効画素期間とは、水平ブランキング期間であることを特徴とする。

【0011】

請求項5記載の発明は、請求項1記載の発明において、有効画素期間において画像の圧縮処理を行い、無効画素期間において画像の圧縮処理に関わるデジタル制御処理を行うことを特徴とする。

【0012】

請求項6記載の発明は、請求項1記載の発明において、デジタル制御処理とは、符号量制御処理であることを特徴とする。

【0013】

請求項 7 記載の発明は、請求項 2 記載の発明において、無効画素期間とは、撮像素子の光学的黒画素の期間であることを特徴とする。

【0014】

請求項 8 記載の発明は、請求項 2 記載の発明において、デジタル制御処理とは、自動白バランス制御処理であることを特徴とする。

【0015】

請求項 9 記載の発明は、請求項 2 記載の発明において、デジタル制御処理とは、自動焦点制御処理であることを特徴とする。

【0016】

請求項 10 記載の発明は、請求項 2 記載の発明において、デジタル制御処理とは、自動明度制御処理であることを特徴とする。

【0017】

【発明の実施の形態】

次に、本発明の 1 つの実施の形態を図面に基づいて詳細に説明する。

図 1 に示すように、本発明の 1 つの実施形態としての画像処理装置は、レンズ 100 と制御回路 101 と固体撮像素子 102 と駆動回路 103 と増幅器 104 と AD 変換回路 105 とフィールドプログラマブルゲートアレイ {FPGA (Field Programmable Gate Array)} 106 と表示装置 107 と EEPROM などの記憶装置 108 と RAM 109 と外部機器 110 とを有している。

【0018】

レンズ 100 を透過した光は固体撮像素子 102 において光電変換される。レンズ 100 は、制御回路 101 により制御される。固体撮像素子 102 は、駆動回路 103 により駆動される。固体撮像素子 102 のアナログ映像出力信号は、増幅器 104 において利得を制御する。増幅器 104 の映像出力信号は AD 変換回路 105 によってデジタル信号へ変換する。FPGA 106 は、AD 変換回路 105 のデジタル映像信号を受けて画像処理を行う。FPGA 106 の出力は表示装置 107 に表示することにより、撮像者は被写体を確認できる。FPGA 106 の動作は内部論理記述により規定される。FPGA 106 の内部論理記

述は、記憶装置 108 から書き込まれる。外部機器 110 により記憶装置 108 のデータや F P G A 106 の内部論理記述を書き換えることができる。R A M 109 は、F P G A 106 で行われる画像処理の結果、途中演算の結果および制御値を一時的に保存するために用いる。ただし、この R A M 109 は、F P G A 106 の内部に設けることもできる。

【0019】

次に、画像圧縮機能を有したデジタルカメラをこの画像処理装置で実現する場合を例として説明する。F P G A 106 の内部論理記述は、記憶装置 108 や F P G A 106 の内部に設けた記憶装置から動作中に転送して使用する。画像撮像中は撮像モードとなり、有効画素期間では色分離処理を行い、有効画素期間以外の無効画素期間では、カメラの制御用の内部論理記述に F P G A 106 の内部論理記述を書き換え、自動白バランス、自動焦点および自動明度などの自動制御を行った後に、再び色分離処理用の内部論理記述に F P G A 106 の内部論理記述を書き換える。有効画素期間以外の無効画素期間とは、図 2 に示すような水平ブランキング期間、垂直ブランキング期間および光学的黒画素期間などの撮像素子の有効画素以外の走査期間を指すものとする。ここで、シャッターが押された場合や録画時には、画像圧縮処理用の内部論理記述に F P G A 106 の内部論理記述を書き換える。外部機器 110 が接続されて、画像を転送するという指示が与えられた時には転送モードとなる。また、外部機器 110 が接続されて内部論理記述を更新するという指示が与えられた時には更新モードになる。図 3 に各モードの状態を示す。

【0020】

次に、それぞれのモード時に F P G A 106 に書き込まれる内部論理記述の構成の一例を記す。なお、内部論理記述の処理において、F P G A 106 のゲート規模が小さく全てを一度に書き込めない場合には、処理内容に応じて内部論理記述を分割する必要がある。逆に、F P G A 106 のゲート規模が十分大きい場合には、F P G A 106 の一部のみを書き換えることによって処理が実現できる。また、処理モードを切り替える間は、画像や制御値は一時的に R A M 109 に書き込み、必要時に応じて読み出すものとする。

【0021】

図4はFPGA106を色分離処理に用いた場合の構成の一例を示すブロック図である。AD変換回路105のデジタル信号は、黒バランス回路400に入力して黒レベルを調節する。次に、内挿補間回路401は、黒バランス回路400からのデジタル信号について撮像素子に形成された色フィルタに従った画素補間を行う。さらに、デジタル信号について、色空間変換回路402、白バランス回路404、ガンマ補正回路405およびクリッピング回路408で撮像環境や画像表示環境に適したカラー処理を行う。また、デジタル信号について、必要に応じて高域強調回路403で高域強調処理を行う。後述する自動白バランス制御のために、積分回路406は白バランス回路404の出力信号の積分演算を行う。同様に、積分回路407は高域強調回路403の出力信号の積分演算を行う。

【0022】

図5はFPGA106をカメラ制御処理に用いた場合の構成の一例を示すブロック図である。積分回路406の出力値は、自動白バランス制御回路500および自動明度制御回路501に入力する。自動白バランス制御回路500の出力値は、白バランス回路404の制御値となる。また、自動明度制御回路501においては、積分回路406の出力値を受けてシャッター時間、レンズアイリスおよびゲインの制御値が決定される。それぞれの制御値は、シャッター時間制御回路503、レンズアイリス制御回路504、ゲイン制御回路505を介して、それぞれ制御回路101、駆動回路103および増幅器104を制御する。自動焦点制御回路502は、積分回路407の出力値を使って焦点の制御を行い、制御回路101を介してレンズ100の位置を制御する。

【0023】

図6はFPGA106を画像圧縮処理に用いた場合の構成の一例を示すブロック図である。動き推定回路600は、クリッピング回路408からの色分離処理された画像信号を受けて画像の動作を推定する。次に、離散コサイン変換回路(DCT)601は動き推定回路600からの画像信号について周波数変換し、量子化回路603は画像信号を量子化する。画像信号の量子化による誤差の蓄積を

防ぐために、量子化回路 603 の出力を逆量子化回路 604 および逆離散コサイン変換 (IDCT) 602 という手順で画像信号に戻して元の画像信号から差し引く。量子化回路 603 の出力は、可変長符号化回路 (VLD) 605 によって圧縮して動き推定回路 600 の出力と共に多重化回路 606 で多重化する。

【0024】

図 7 は F P G A 106 を符号量制御処理に用いた場合の構成の一例を示すブロック図である。符号量制御回路 700 は、多重化回路 606 から出力された符号量を元にして量子化回路 603 を制御する。図 8 は F P G A 106 を画像転送処理に用いた場合の構成を示すブロック図である。多重化回路 606 からの色分離処理された非圧縮画像や圧縮された画像は、外部機器 110 との伝送に適した外部インタフェース回路 800 へ入力される。次に、F P G A 106 は、接続された外部機器 110 に画像を転送する。

【0025】

図 9 は F P G A 106 の内部論理記述を更新する場合の構成の一例を示すブロック図である。外部機器 110 から転送された新しい内部論理記述は、外部インタフェース回路 900 を介して記憶装置 108 に転送する。また、外部機器 110 から転送された新しい内部論理記述は、直接に F P G A 106 の内部論理記述を書き換えることもできる。

【0026】

画像処理装置において、命令を解釈してこれに応じた演算を行う汎用の CPU では、内蔵される演算回路数、パイプライン数、命令、分岐予測などに演算の並列性は依存している。このため、あらかじめ埋め込まれた規定の処理をパイプライン処理できるワイヤードロジック処理装置に比べて CPU では並列性が低くなる。F P G A 106 は内部論理記述によって論理動作を変更することができるゲートアレイである。F P G A 106 では内部論理記述が書き込まれた状態においてワイヤードロジック処理装置と同程度の並列演算性能がある。従って、CPU とは異なりワイヤードロジック処理装置や F P G A 106 では、処理内容を並列に記述していくことでゲート規模は大きくなるが処理能力を高めることができる。また、特に S R A M に内部論理記述を保存するタイプの F P G A 106 では、

書き換えができる記憶領域から内部論理記述を読み込むことで処理内容を変更することができる。さらに、動作中に内部論理記述を書き換えることができる F P G A 1 0 6 では、論理回路を時分割して更新することによって、論理ゲート数以上の処理が実現できる。

【0027】

撮像素子をもつデジタルスチルカメラやビデオカメラなどの画像処理装置において、F P G A 1 0 6 の内部論理記述を動的に書き換えて、有効画素期間では色分離処理を行い、水平および垂直ブランキング期間などの無効画素期間で自動白バランス、自動焦点および自動明度などの自動制御処理を行うことにより、F P G A 1 0 6 の論理ゲートを有効に活用することができる。従来において自動制御のための別に設けいた C P U は必要なくなる。また、画像処理に F P G A 1 0 6 を用いることで処理内容に問題が生じた時には、内部論理記述を変更できるためメンテナンス性が向上する。

【0028】

本発明の実施形態によれば、F P G A 1 0 6 を用いることで、ワイヤードロジック処理装置と同様に予め埋め込まれた規定のデジタル画像処理を並列演算処理することで処理能力を高めることができるため、画像処理に汎用 C P U を用いた画像処理装置に比べて処理時間を短縮できる。例えば、汎用 C P U のクロック周波数が 2 0 0 M H z で同時発行命令数が 2 命令であり、F P G A 1 0 6 は 2 0 M H z で動作し並列演算数 1 0 0 (C P U 命令相当) とすると、1 クロックあたり処理できる演算回数は F P G A 1 0 6 の方が 5 倍多くなる。実際には C P U の同時発行命令数の 2 命令を常時実現するようにプログラミングすることは困難であるため、C P U の処理能力はさらに低下する可能性がある。

【0029】

また、本発明の実施形態によれば、専用ワイヤードロジック処理装置を用いた画像処理装置に比べて開発期間短縮やメンテナンス性を向上させることができる。その理由は、内部論理記述の書き換えが可能な F P G A を用いることで処理内容が容易に変更できるため、汎用 C P U と同様に問題が生じたときに内部論理記述の変更のみで対処できるためである。特に、外部から内部論理記述が変更でき

るような手段を設けておけば、汎用CPUのソフトウェアのように処理内容を更新できる。

【0030】

また、本発明の実施形態によれば、使用チップ数やゲート数を少なくして消費電力を削減することができる。その理由は、動作中に内部論理記述を書き換えることによってFPGAの論理ゲート数以上の処理が実現できるため、従来複数のチップに分けて処理していた色信号処理、画像圧縮処理および制御処理といった処理を1つのチップで実現できるためである。例えば、撮像素子をもつデジタルスチルカメラやビデオカメラなどの画像処理装置において、有効画素期間では色分離処理を行い、ブランキング期間などの無効画素期間で自動白バランス、自動焦点および自動明度などの制御処理を行うことでFPGAの論理ゲートを有効に活用することができ、制御のためのCPUを別に設ける必要がなくなる。

【0031】

さらに、本発明の実施形態によれば、画像処理装置の汎用性や再利用性を向上させることができる。その理由は、FPGAの内部論理記述は書き換えができる記憶領域から読み込み処理の内容が変更できるため、装置の汎用性が向上し再利用が可能になるためである。

【0032】

【発明の効果】

本発明によれば、画像処理に汎用CPUを用いた画像処理装置に比べて処理時間を短縮できる。また、本発明によれば、専用ワイヤードロジック処理装置を用いた画像処理装置に比べて開発期間短縮やメンテナンス性を向上させることができる。

【0033】

また、本発明によれば、使用チップ数やゲート数を少なくして消費電力を削減でき、かつ、画像処理装置の汎用性や再利用性を向上させることができる。

【図面の簡単な説明】

【図1】

本発明の第1の実施形態としての画像処理装置を示すブロック図である。

【図 2】

図 1 の画像処理装置の有効画素期間とブランキング期間を説明するための図である。

【図 3】

図 1 の画像処理装置における F P G A の内部論理記述の書き換え手順の一例を説明するための図である。

【図 4】

図 1 の画像処理装置における F P G A を色分離処理に用いた場合の構成の一例を示すブロック図である。

【図 5】

図 1 の画像処理装置における F P G A をカメラ制御処理に用いた場合の構成の一例を示すブロック図である。

【図 6】

図 1 の画像処理装置における F P G A を画像圧縮処理に用いた場合の構成の一例を示すブロック図である。

【図 7】

図 1 の画像処理装置における F P G A を符号量制御処理に用いた場合の構成の一例を示すブロック図である。

【図 8】

図 1 の画像処理装置における F P G A を画像転送処理に用いた場合の構成を示すブロック図である。

【図 9】

図 1 の画像処理装置における F P G A の内部論理記述を更新する場合の構成の一例を示すブロック図である。

【符号の説明】

- 100 レンズ
- 101 制御回路
- 102 固体撮像素子
- 103 駆動回路

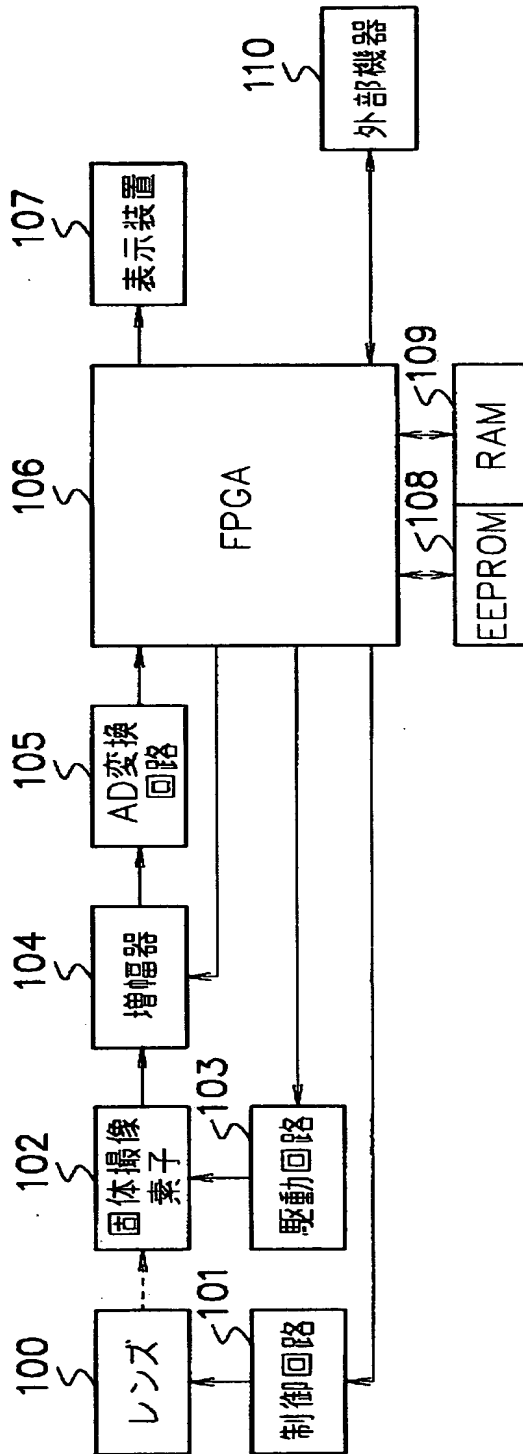
- 104 増幅器
- 105 AD変換回路
- 106 F P G A
- 107 表示装置
- 108 記憶装置
- 109 R A M
- 110 外部機器
- 400 黒バランス回路
- 401 内挿補間回路
- 402 色空間変換回路
- 403 高域強調回路
- 404 白バランス回路
- 405 ガンマ補正回路
- 406 積分回路
- 407 積分回路
- 408 クリッピング回路
- 500 自動白バランス制御回路
- 501 自動明度制御回路
- 502 自動焦点制御回路
- 503 シャッター時間制御回路
- 504 レンズアイリス制御回路
- 505 ゲイン制御回路
- 600 動き推定回路
- 601 離散コサイン変換回路 (D C T)
- 602 逆離散コサイン変換回路 (I D C T)
- 603 量子化回路
- 604 逆量子化回路
- 605 可変長符号化回路 (V L C)
- 606 多重化回路

7 0 0 符号量制御回路

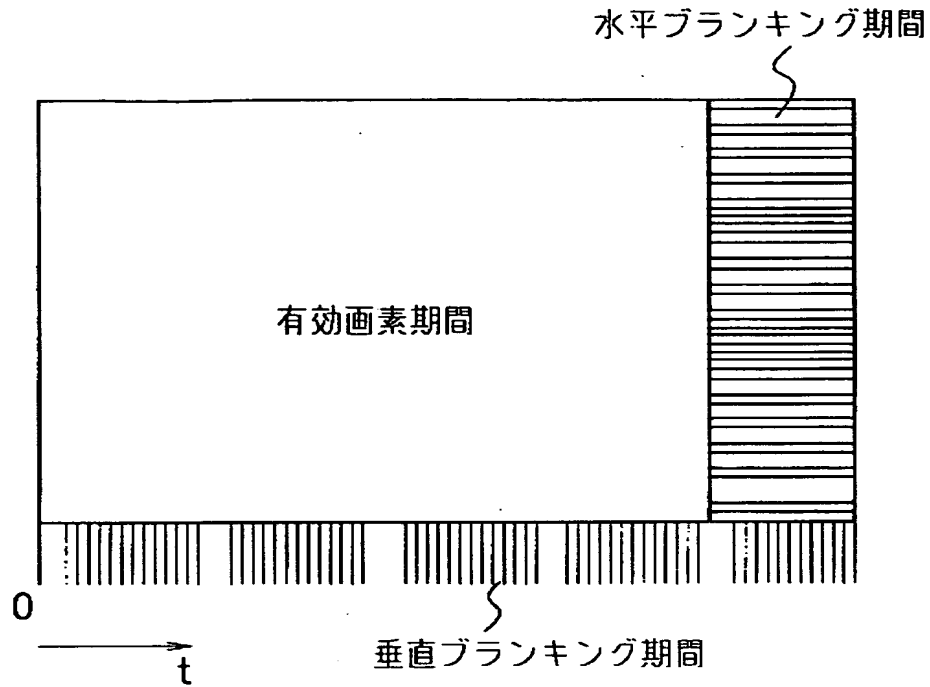
8 0 0 外部インタフェース

【書類名】 図面

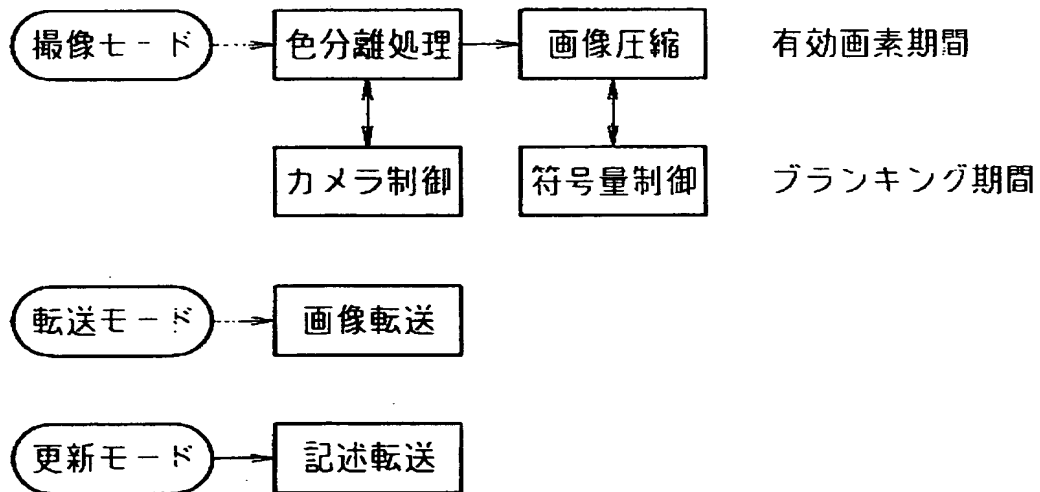
【図 1】



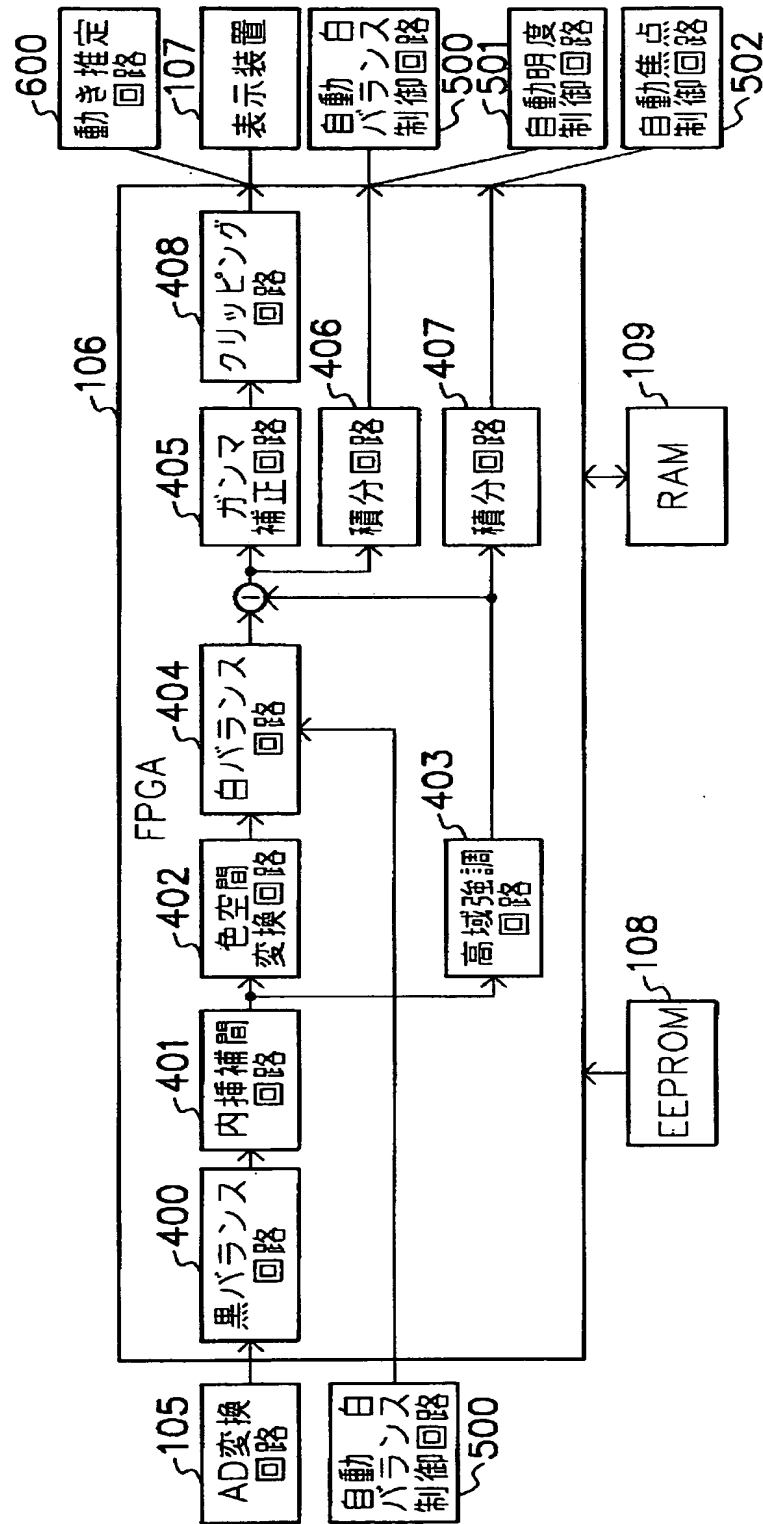
【図 2】



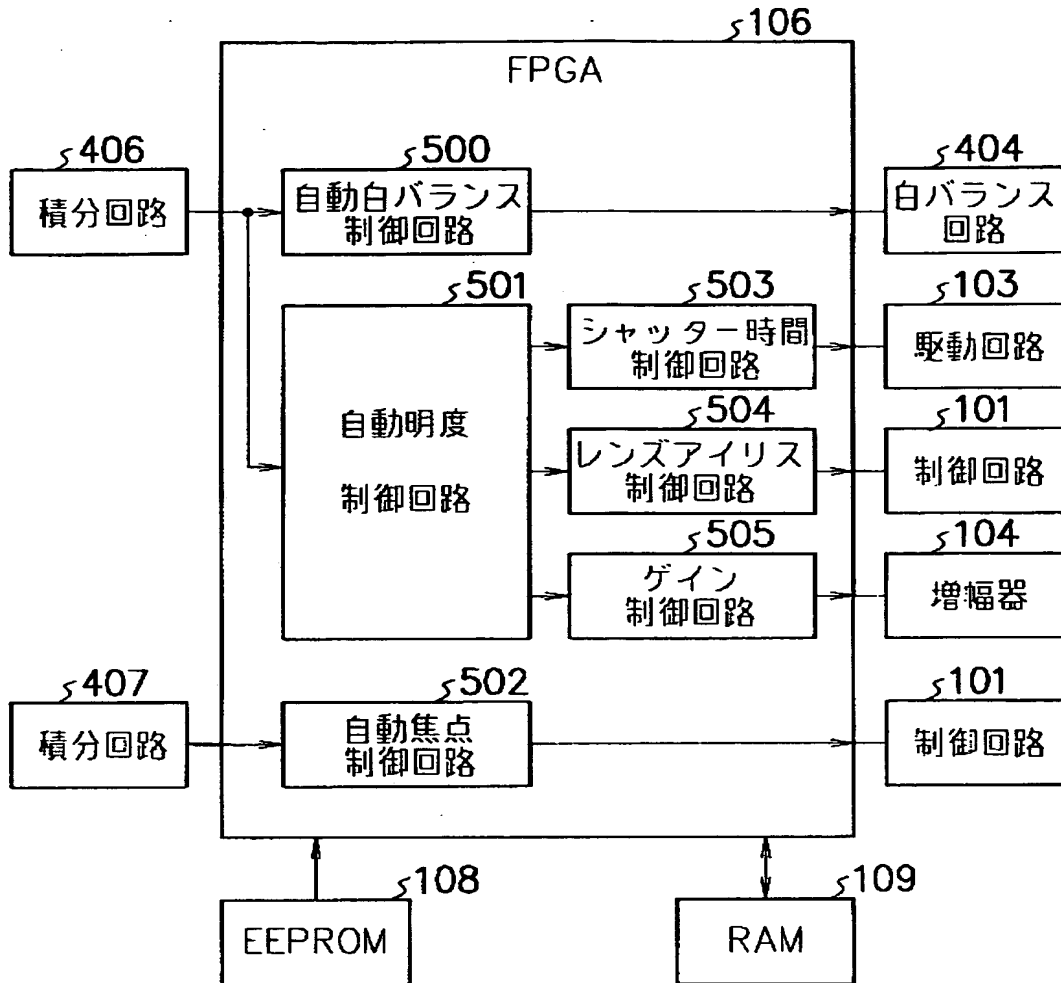
【図 3】



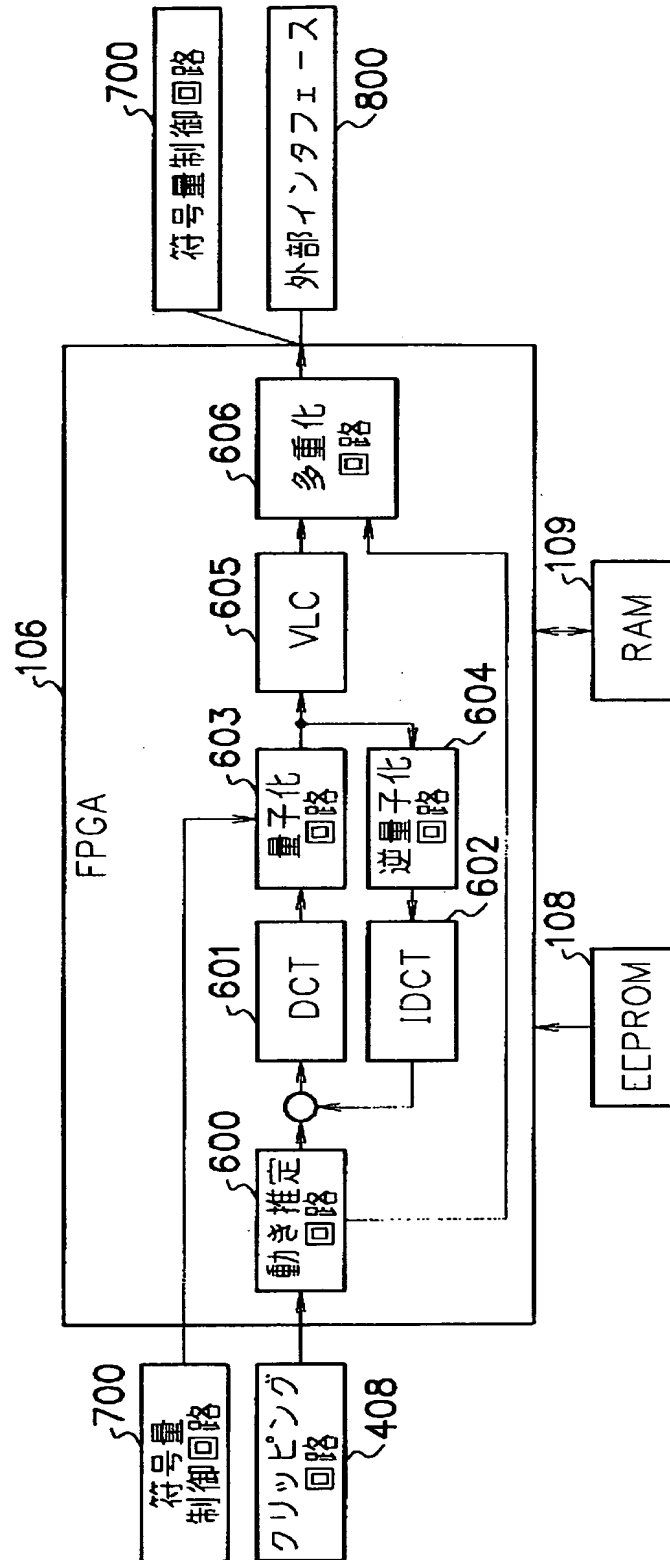
【図 4】



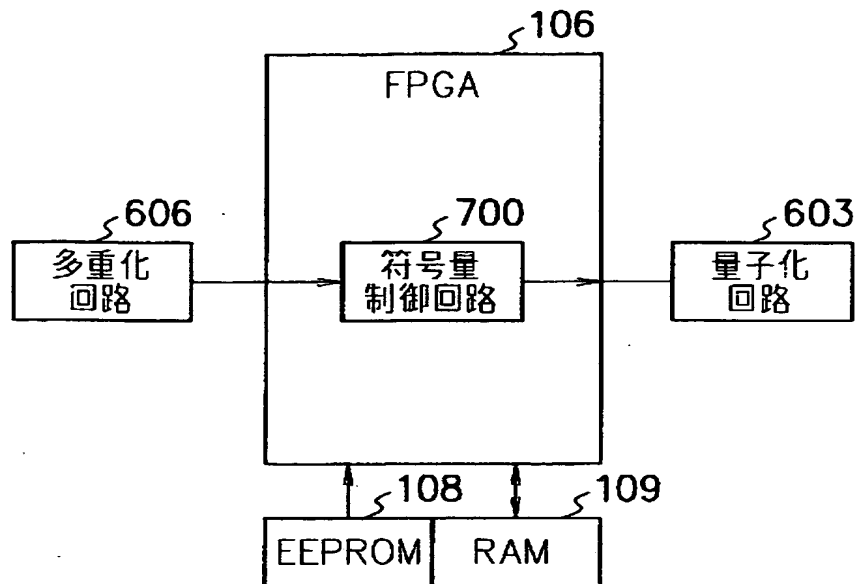
【図 5】



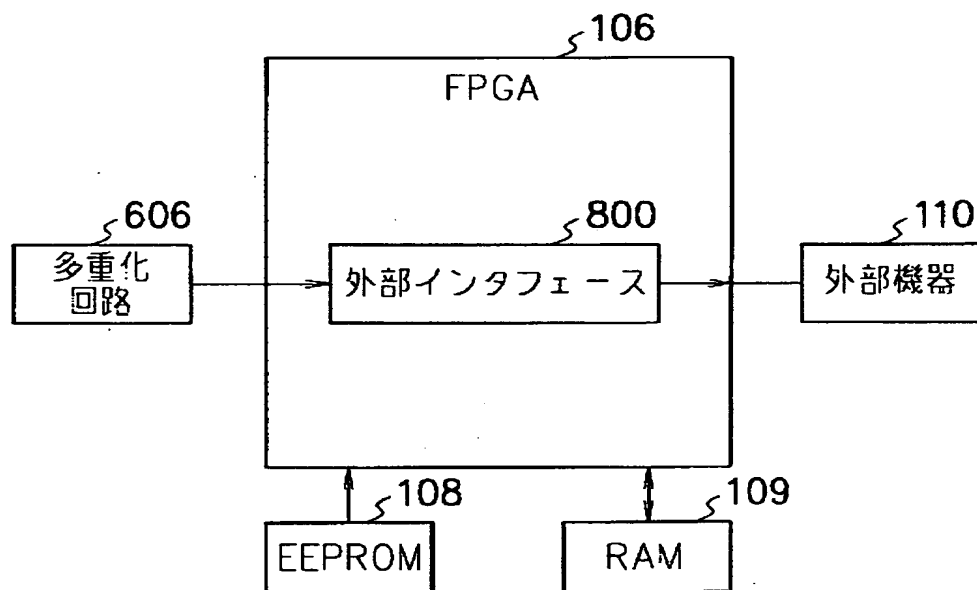
【図 6】



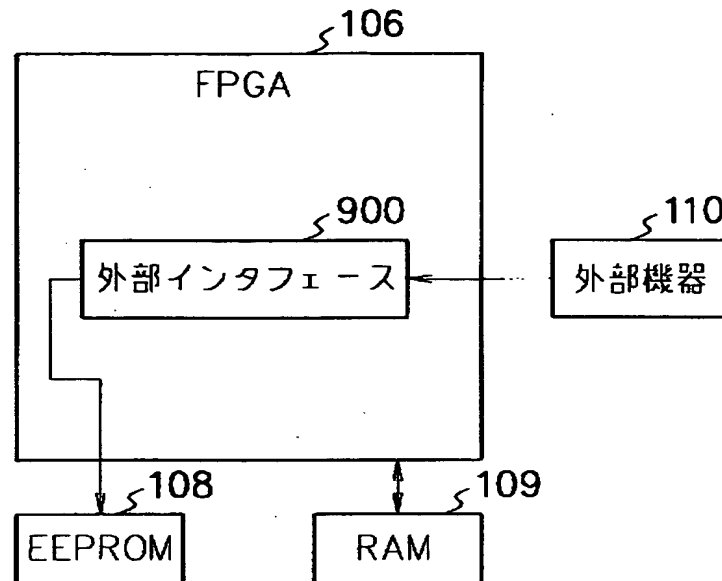
【図 7】



【図 8】



【図 9】



【書類名】 要約書

【要約】

【課題】 回路規模が小さく、消費電力が少ない画像処理装置を提供する。

【解決手段】 フィールドプログラマブルゲートアレイ 106 に第 1 の内部論理記述を書き込んだ状態で有効画素期間のデジタル画像処理を行う。次に、前記有効画素期間以外の無効画素期間においてフィールドプログラマブルゲートアレイ 106 の前記第 1 の内部論理記述を第 2 の内部論理記述に書き換えた状態でデジタル制御処理を行った後に、再びフィールドプログラマブルゲートアレイ 106 の前記第 2 の内部論理記述を前記第 1 の内部論理記述に書き変えた状態でデジタル画像処理を行う。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [000004237]

1. 変更年月日	1990年 8月29日
[変更理由]	新規登録
住 所	東京都港区芝五丁目7番1号
氏 名	日本電気株式会社